

Integrierte Spiralinduktivitäten für Hochfrequenz IC unter Ausnutzung von RLCK Modellreduzierung

Padelis Papadopoulos, Sotiris Bantas, Stefanos Stefanou

Helic S.A., www.helic.com



Mathias Silvant, Jean-Pierre Goujon

edXact S.A., www.edxact.com



I. Einleitung

Integrierte Hochfrequenzschaltungen werden beständig komplizierter durch die fortschreitende Integration von mehr und mehr Funktionen, der Unterstützung von multiplen Frequenzbändern und mehreren Standards. Die Modellierung von Induktivitäten in beabsichtigter Form (Spiralinduktivitäten) und parasitärer Form ist entscheidend für ein erfolgreiches Design. Diese Aufgabe ist einzigartig gelöst in Helics Softwarewerkzeug VeloceRF™, welches sehr schnell Induktivitäten für einen ganzen Chip modellieren kann, und RLCK Netzlisten produziert. Netzlistengröße und die Eignung für Simulationen sind wichtig, insbesondere für hochintegrierte Schaltungen, bei denen die Verluste auf den Verbindungsleitungen von Parasiten und insbesondere Koppelinduktivitäten dominiert sind. Edxact's Jivaro™ Software-Werkzeuge sind mittlerweile verfügbar und sind in der Lage, große Netzlisten, die von einer RLCK Extraktion stammen, dramatisch zu reduzieren, mit dem Erfolg die Simulationszeit extrem zu reduzieren bei minimalem Verlust der Genauigkeit der Ergebnisse. In diesem Artikel wird dargelegt, wie VeloceRF und Jivaro kombiniert werden in einem schnellen, effizienten und genauen Design flow für integrierte Hochfrequenzschaltungen. Ein realer Schaltkreis dient dabei als Beispiel.

II. Design von Spiralinduktivitäten

Der anhaltende Trend zu hochfrequenten Mobilprodukten mit höheren Operationsfrequenzen hat die Forschung für Spiralinduktivitäten auf das höchste Niveau seit über zwei Dekaden geführt. Moderne analoge Schaltungen für Mobilgeräte hängen stark von effizientem Induktivitätsdesign ab, welches wiederum von verlässlichen Modellen über ein großes Frequenzspektrum abhängen. Integrierte Induktivitäten bieten erhöhte Verlässlichkeit und Effizienz für Schaltungen in denen sie benutzt werden, ebenso wie eine erhöhte Integrationsdichte durch den Wegfall von einigen off-chip Komponenten.

Rauscharme Verstärker (engl. Low-noise amplifiers (LNA)) benutzen integrierte Induktivitäten um Eingangsimpedanzen anzupassen, ohne dabei die Rauscheigenschaften der Schaltung zu verschlechtern.

Wenn sie als Last verwendet werden, verbessern Induktivitäten sogar die Verstärkungseigenschaften des Verstärkers unter Verringerung des Energieverbrauchs. Weitere Hochfrequenzschaltungen, die Induktivitäten und Übertrager benutzen sind spannungsabhängige Oszillatoren (engl.: voltage controlled oscillator (VCO)) und Endverstärker (engl.: power amplifier (PA)). Der Qualitätsfaktor von integrierten Induktivitäten beeinflusst maßgeblich das Verhalten von solchen Schaltungen. Aus diesen Gründen ist das Design von solchen passiven Elementen von herausragendem Interesse.

Halbleitertechnologien sind eine Herausforderung für effiziente Integration von Induktivitäten durch die verlustbehaftete Natur vom Substrat, welches zu reduzierter Performance führt und die Ursache von elektromagnetischen Effekten höherer Ordnung sind, die schwierig zu isolieren, zu quantifizieren und zu modellieren sind.

Präzise und verlässliche Modelle sind notwendig für das Design, und nur ein systematischer, analytischer Ansatz für das Verhalten der Induktivitäten kann robuste, äquivalente und skalierbare Verhaltensmodelle garantieren. Simulatoren für elektromagnetische Felder erfüllen diese Aufgabe hervorragend, jedoch benötigen sie lange Simulationszeiten, welche den Designprozess unnötig und unakzeptabel verlängern. Technologische Errungenschaften, wie z.B. die Verwendung von dicken Gold- oder Kupferleitungen, den Gebrauch von Mehrlagenssubstraten und zusätzliche Komponenteneigenschaften wie Ground-Isolationen, machen die Herausforderung an die Simulatoren nur schwieriger, einhergehend mit geometrisch steigender Rechenpower und Speicherbedarf. Darüberhinaus benötigen heutige Schaltungen die Modellierung von Koppelinduktivitäten, welche global agieren, und welche, sofern sie genau modelliert sind, zum Tuning der Schaltungen ausgenutzt werden können. Konsequenterweise beschränkt sich die Simulation nicht auf eine losgelöste Induktivitätskomponente, sondern kann mehrere Induktivitäten und Übertrager, welche all mit sich und benachbarten Komponenten interagieren.

Durch die iterative Natur des Designprozesses, ist die Benutzung von elektromagnetischen Feldsimulatoren ineffizient für schnelles und flexibles Design von Hochfrequenzschaltungen.

VeloceRF™ ist ein Feldsimulator, welcher nahtlos in die gängigen Hochfrequenz-Designflows integriert ist und welcher präzise induktive Komponenten, wie mehrgängige Induktivitäten und Verbindungsleitungen in einer sehr schnellen Art modellieren kann, welches flexibles und sehr schnelles Design ermöglicht. State-of-the-art designs, wie z.B. geschichtete Durchkontaktierungen mit Polysilicon Schirmungen können mit VeloceRF™ ohne langwierige Simulationen gehandhabt werden. In einer allgemeineren Anwendung kann VeloceRF™ benutzt werden, um Koppelinduktivitäten zwischen Komponenten und anderen kritischen Teilen eines integrierten Schaltkreises zu bestimmen, um über deren Einfluß auf die Designspezifikationen während des Schaltungsentwurfs zu urteilen. VeloceRF™ schreibt verteilte elektrische RLCK Netzwerke und/oder S-Parameter heraus.

III. Modellreduzierung für RLCK

Induktive Effekte werden zunehmend wichtig für integrierte Schaltungen durch voranschreitende Miniaturisierung und höhere Arbeitsfrequenzen [2-3]. Kommerzielle Extraktionstools wie z.B. Star RCXT (Synopsys), Xcalibre (Mentor Graphics) oder Assura (Cadence) modellieren induktive, kapazitive und widerstandsbehaftete Effekte unter Benutzung von RLCK Schaltkreisen. Diese sogenannten parasitären Komponenten, werden zusammen mit der eigentlichen Schaltung unter Zuhilfenahme von Spice oder FastSpice Simulatoren.

Das typische Datenvolumen von solchen parasitären Komponenten verschlechtert die Performance von den Simulatoren hinsichtlich Laufzeit und Speicherbedarf. Über die letzten zehn Jahre wurde viel Energie in Modellreduzierung (engl.: Model Order Reduction (MOR)) gesteckt, welche darauf abzielt das parasitäre Modell durch ein äquivalentes mit geringerer Ordnung zu ersetzen.

Diese Aufgabe beinhaltet ein Abwägen zwischen der Genauigkeit des reduzierten Modells und der Beschleunigung des Simulationsprozesses.

AWE (asymptotic waveform evaluation) war eine der ersten vorgeschlagenen Methoden, die auf dem Abgleich von Momenten in komplexen Frequenzbereich beruht [4]. Dieses Verfahren wurde erweitert [5] zur Momenten-Expansion an verschiedenen Frequenzpunkten in der komplexen Ebene. Die Hauptprobleme sind schlecht-konditionierte Matrizen für die Momente, welches mit PVL [6] versucht wurde zu lösen. PVL (Padé via Lanczos) wurde 1994 vorgeschlagen. Eine Alternative zu PVL wurde von Arnoldi [7] eingeführt, später noch

Kongruenztransformationen. Der Hauptvorteil der Kongruenztransformationen ist die garantierte Beibehaltung der Passivität des Modells. Ein sehr populäres Beispiel von Kongruenztransformation ist PRIMA [11], welches obendrein Stabilität garantieren kann.

Unglücklicherweise sind diese Methoden zu generell und zu kompliziert, als dass sie für höchstintegrierte Schaltungen ernsthaft benutzt werden könnten. Obendrein sind noch andere Eigenschaften von elektrischen Schaltungen in Betracht zu ziehen, wie z.B. die Ausnutzung von Hierarchie.

Vor kurzem wurde „realisierbare“ Reduktion für RC Schaltungen eingeführt [10], welche auf der Beibehaltung der Elmore Verzögerungszeit beruht. Dieser Ansatz ist attraktiv, insbesondere da er lokal arbeitet und garantiert stabile und passive Schaltungen erzeugt. Dieser Ansatz ist sehr mächtig für grosse Schaltungen, jedoch ist er auf einfachste Verbindungsleitungen beschränkt. RC Leitern, gefingerte Strukturen, oder hochgradig gekoppelte Netze können nicht ausreichend oder gar nicht behandelt werden.

In heutigen EDA tools werden oft sehr vereinfachte Ansätze verwendet, die hauptsächlich kleine oder grosse Werte filtern, abhängig von definierten Schwellwerten. Diese Ansätze können sehr effizient sein mit Hinblick auf die Reduzierung, jedoch verursachen sie in sehr vielen Fällen Ungenauigkeit und Stabilitätsprobleme beim Simulator.

Insbesondere in Hochfrequenzschaltungen mit Signalen im Rauschen der Schaltung, ist die Genauigkeit von den reduzierten Modellen ausschlaggebend und nur sehr schwer zu erreichen mit akzeptablem Aufwand. Darüberhinaus können reine RC Parasitenschaltungen als Tiefpassfilter angesehen werden, für die vereinfachte Modelle sehr viel leichter verfügbar sind als für RLCK Parasiten. Deren Verhalten im Frequenzbereich ist sehr viel komplizierter und Probleme mit Stabilität und Passivität sind echte Herausforderungen.

JIVARO (genannt nach einem Stamm in Südamerika, welche die Köpfe ihrer Feinde schrumpfen) ist eine Familie von Programmen, welche speziell für die Modellreduzierung konzipiert wurde. Sie enthält die besten Algorithmen, welche automatisch und intelligent in Abhängigkeit von der Art der Schaltung und der auszuführenden Simulation gewählt werden. Es ist die einzige Tool-suite, welche konsequent sowohl strukturelle Algorithmen, wie z.B. [10] als auch reine mathematische Algorithmen, wie z.B. [2-9,11] ausnutzt, gekoppelt mit Schaltungspartitionierung und Datenbereichsausgleich. Die Unterstützung von

Hierarchie ist gesichert, welches ein sehr wichtiges Feature darstellt.

IV. Mehrgängige Induktivitätsspule

Zunächst untersuchen wir den Effekt der Netzlistenreduktion anhand einer einzelnen, mehrgängigen, differentiellen oktogonalen Induktivitätsspule (Bild 1).

Die Spule unter Betrachtung hat fünf Windungen und einen Durchmesser von 317 µm. Ein Netzlistenmodell für die Spiralinduktivität wurde erzeugt mit VeloceRF. Der Modellierer des Tools produziert konzentrierte Elemente für Induktivitäten, unter Benutzung von mehreren R, L, C und K Elementen.

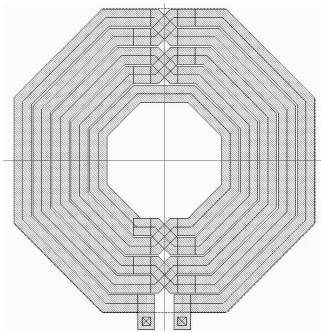


Bild 1. Layout der mehrlagigen Induktivitätsspule

Die von VeloceRF produzierte Netzliste wurde mit Jivaro reduziert, unter Ausnutzung von zwei Bandbreiten-Alternativen: 3GHz und 15GHz. Diese Werte sind maßgebliche Kontrollwerte für Jivaro, um einen oberen Frequenzbereich zu bestimmen, bis zu dem die Genauigkeit der Ergebnisse innerhalb geringer und wohldefinierter Schranken liegen. Das 15GHz-Modell sollte sehr viel genauer sein, da es mehr Elemente beinhaltet. Die Ergebnisse der Reduktion finden sich in Tabelle I.

Um die Selbstinduktivität (L) und den Qualitätsfaktor (Q) zu berechnen, wurden Kleinsignalanalysen durchgeführt. Die Ergebnisse finden sich in Bild 2. Es ist offensichtlich, daß das 15-GHz Modell dem originalen, verteilten Modell von VeloceRF exzellent folgt über den gesamten Frequenzbereich, d.h. sogar oberhalb der definierten Grenzfrequenz. Das 3-GHz Modell ist ebenfalls sehr genau, mit einer kleinen Abweichung der Eigenresonanzfrequenz. Das 3-GHz Modell ist daher ebenfalls gut geeignet, um Simulationen unterhalb der Resonanzfrequenz durchzuführen.

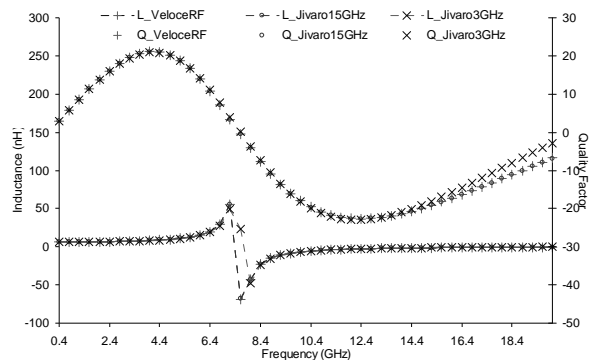


Bild 2: Induktivität und Qualitätsfaktor

Tabelle I

	VeloceRF unreduziert	Jivaro Reduktion (15GHz)	Jivaro Reduktion (3GHz)
Total # Zeilen	1982	913 -53.94%	377 -80.98%
Total # k	1324	423 -68.05%	15 -98.87%
Total # L	60	31 -48.33%	6 -90.00%
Total # R	181	152 -16.02%	127 -29.83%
Total # C	332	280 -15.66%	202 -39.16%

V. WLAN Endstufenverstärker

Um den Einfluß der Netzlistenreduktion auf die Simulation eines schwierigen Hochfrequenz-Schaltkreises zu beurteilen, wurde ein WLAN Endstufenverstärker (Frequenzbereich: 2.4 ... 2.5 GHz) ausgewählt. Das Maskenlayout des kompletten Verstärkers findet sich in Bild 3.

Mehrere Spulen mit hohem Qualitätsfaktor zum Abgleich der Eingangs-, Ausgangs- und Zwischenstufen. Um Chipfläche zu sparen sind die Spulen dichtgepackt. Die magnetische Kopplung zwischen ihnen wird in konstruktiver Weise genutzt, um die Gewinncharakteristiken des Verstärkers zu optimieren. Dies ist ermöglicht durch VeloceRF's Fähigkeit, voll verteilte Koppelinduktivitäten zu extrahieren in Zusammenwirken mit den Modellen für jede Einzelspule. Obendrein vereinigt VeloceRF automatisch die Induktivitätsnetzlisten mit dem Output vom Layout Extraktionstool, so dass eine komplette Netzliste für den gesamten Schaltkreis zur Verfügung steht, bestehend aus RLCK Modellen für die Spulen und RC Modellen für die Verbindungsleitungen.

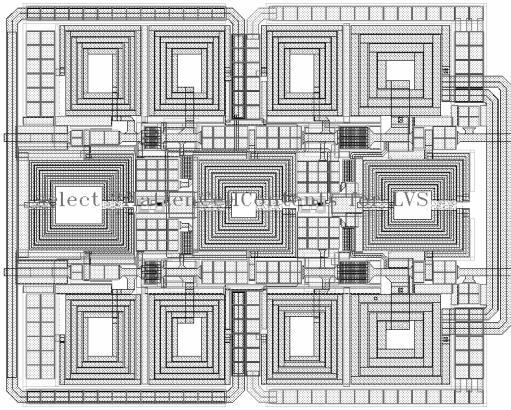


Bild 3: Layout Endstufenverstärker

Die resultierende Netzliste ist verständlicherweise verhältnismäßig groß, so daß Reduzierung von Jivaro passend eingesetzt werden kann. Jivaro wurde angewendet, erneut mit 15-GHz und 3-GHz. Die unreduzierte und die reduzierten Netzlisten wurden benutzt zum Simulieren der Haupteigenschaften des Endstufenverstärkers: S-Parameter und Spektralanteile im Ausgangssignal.

Tabelle II enthält die Reduktionsergebnisse bezüglich Netzlistengröße und Ersparnis in Simulationszeit. Die Kurven der S-Parameter des Endstufenverstärkers für die drei verschiedenen Netzlisten sind in Bild 4 dargestellt. Die Ergebnisse der Spektralanalyse sind in Tabelle III aufgelistet.

Das 15-GHz Modell folgt sehr genau den linearen Gewinn- und Reflexionsverlustskurven des unreduzierten Modells, ebenso wie den Charakteristiken der nicht-linearen Spektralanteile (maximale Abweichung ist 0.15 dB), während die Simulationszeit um 65% reduziert wird.

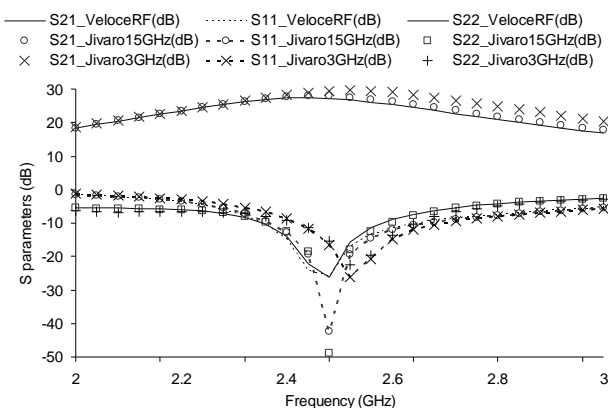


Bild 4: S-Parameter der Endstufe

Das 3-GHz Modell bringt noch sehr viel drastischere Zeitgewinne in der Simulationszeit, während Abweichungen vom Original erst oberhalb von 2.5 GHz auftreten; die Spektralanteile werden sehr gut

abgedeckt. Die Schlußfolgerung ist, daß für dieses Layout das 3-GHz Modell sehr zufriedenstellend ist für schnelle und genaue Analysen.

Tabelle II

	VeloceRF unreduziert	Jivaro Reduktion (15GHz)	Jivaro Reduktion (3GHz)
Total # Zeilen	76903	50176 -34.75%	29673 -61.42%
Total # k	23676	14768 -37.62%	1596 -93.26%
Total # L	285	205 -28.07%	57 -80.00%
Total # R	27756	22430 -19.19%	22281 -19.73%
Total # C	25353	10896 -57.02%	2782 -89.03%
SP Simulationszeit (sec)	280.82	117.68 -58.09%	40.6 -85.54%
Spektralanalyse (sec)	693.44	241.31 -65.20%	122.28 -82.37%

Tabelle III

Spektral- linie (GHz)	VeloceRF unreduziert, dBm	Jivaro Reduktion (15GHz), dBm	Jivaro Reduktion (3GHz), dBm
2.45	15.08	15.08	15.06
4.9	-55.77	-55.73	-56.11
7.35	-49.70	-49.69	-49.51
9.8	-84.73	-84.58	-78.51
12.25	-71.10	-71.09	-70.96
14.7	-102.39	-102.35	-99.26

VI. Schlußfolgerung

Netlisten für integrierte Spiralinduktivitäten, welche von VeloceRF erzeugt wurden, können von Jivaro effizient reduziert werden, wobei signifikante Gewinne in der Simulationszeit zu verzeichnen sind. Dies gilt sowohl für lineare, als auch für nicht-lineare Analysen. Exzellente Modellübereinstimmung für Spiralinduktivitäten wurde demonstriert. Am Beispiel eines komplexen Hochfrequenz-Endstufenverstärkers, mit mehreren kreuzweise verkoppelten Induktivitäten und anderen Parasiten, Jivaro verringert die Netzlistengröße und die Simulationszeit um 85%, mit sehr geringen Abweichungen in S-Parameter Analysen und weniger als 0.15dB Abweichungen in nichtlinearer

Spektralanalyse. Dramatische Verbesserungen und Einsparungen für Hochfrequenz-Schaltungsdesign wurden dargestellt, ermöglicht durch die Verfügbarkeit der Modellierung von komplexen Induktivitätseffekten.

Über VeloceRF

Helic's VeloceRF™ ist das führende EDA (Electronic Design Automation) tool für die Synthese, Modellierung und Verifikation von integrierten Spiralinduktivitäten, welches von mehreren bekannten Halbleiterherstellern weltweit verwendet wird. Für weitere Informationen kontaktiere man Helic online unter <http://www.helic.com> oder per email unter veloceRF_sales@helic.com.

über Jivaro

Edxact's Jivaro™ ist das führende und einzig verfügbare kommerzielle Tool zur Reduzierung von Netzlisten mit Layoutparasiten, welche RLCK Elemente enthält. Jivaro™ ist verfügbar für analoge, Hochfrequenz, Mixed-signal und digitale Netzlisten. Für weitere Informationen kontaktiere man Edxact online unter <http://www.edxact.com> oder per email unter info@edxact.com.

VII. References

- [1] C. P. Yue and S. Wong, "On-chip spiral inductors with patterned ground shields for si-based RF ICs," IEEE Journal of Solid State Circuits, vol. 33, no. 5, pp. 743 – 752, May 1998.
- [2] Y.I. Ismail, E.G. Friedman, J.L. Neves: "Figures of merit to characterize the importance of onchip inductance", IEEE Trans. VLSI Systems, Vol. 7, No. 4, pp. 442-449, 1999
- [3] A. Deutsch, P.W. Coteus, G.V. Kopcsay, H.H. Smith, C.W. Surovic, B.L. Krauter: "On-chip wiring design challenges for gigahertz operation", Proc. IEEE, Vol. 89, No. 4, 2001
- [4] L. Rohrer, L. Pillage: "Asymptotic Waveform Evaluation for Timing Analysis", IEEE Trans. CAD, Vol. 9, pp. 352-366, 1990
- [5] E. Chiprout, M. Nakhla: "Generalized Moment-matching methods for transient analysis of interconnect networks", Proc. DAC 1992, pp. 201-266, 1992
- [6] P. Feldmann, R.W. Freund: "Efficient Linear Circuit Analysis by Pade Approximation via the Lanczos

Process", proceedings Euro-DAC 1994, pp. 170-175, 1994

- [7] M. Silveira, M. Kamon, I. Elfadel, J. White: "Efficient Reduced-Order Modeling of Frequency-Dependent Coupling Inductances associated with 3D Interconnect Structure", Proc. DAC 1995, pp. 376-380, 1995
- [8] K. Kerns, I. Wemple, A. Yang: "Stable and efficient Reduction of substrate Model Networks using Congruence Transforms", Proc. ICCAD 1995, pp. 207-214, 1995
- [9] R.W. Freund, P. Feldmann: "Reduced Order Modeling of Large Passive Linear Circuits by Means of the SyPVL Algorithm", Proc. DAC 1996, pp. 280-287, 1996
- [10] K.L. Shepard, V. Narayanan, P.C. Elmendorf, G. Zheng: "Global Harmony: Coupled Noise Analysis for Full-Chip RC Interconnect Networks", Proc. DAC 1997, pp. 139-146, 1997
- [11] A. Odabasioglu, M. Celik, L.T. Pileggi: "PRIMA: Passive Reduced-Order Interconnect Macromodeling Algorithm", Proc. DAC 1997, pp. 58-65, 1997